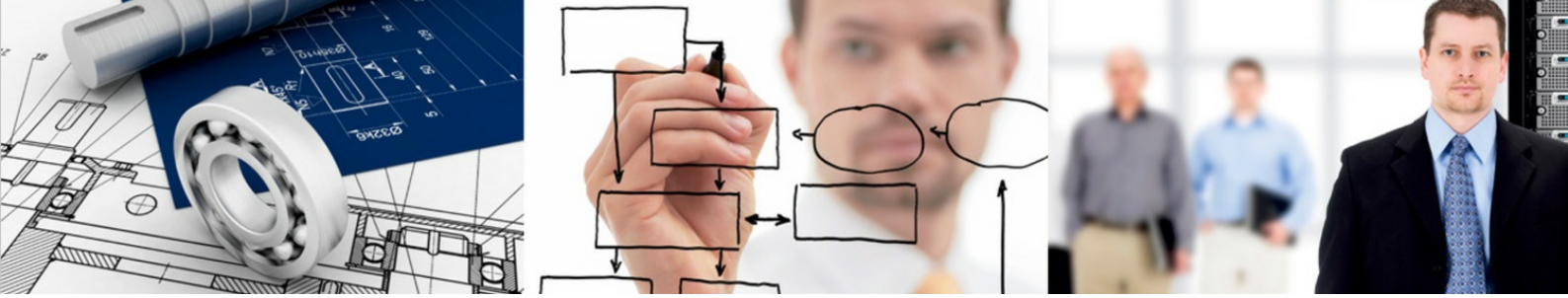


KME – Kompetenzzentrum Mittelstand GmbH

Zukunft durch Innovation und Forschung

Agile Entwicklungsmethoden für Embedded RISC-V Software basierend auf offenen virtuellen Prototypen

Erhöhung der Effizienz des Softwareentwurfs für Internet-of-things (IoT) Anwendungen durch Unterstützung von agilen Entwicklungsmethoden am Beispiel eines offenen RISC-V basierten virtuellen Prototyps

Problemstellung

Das Internet-of-things (IoT) erfordert kleine, energieeffiziente, hochkonfigurierbare eingebettete Systeme, um kostengünstig verschiedene Einsatzgebiete abdecken zu können. Bisherige analoge oder mixed-signal Chips benötigen deshalb effiziente eingebettete Prozessoren, um die nötige Programmierbarkeit zu ermöglichen. Hier werden vor allem ARM-basierte Systems-on-chip (SoCs), z. B. auf Basis des „kleinen" ARM Cortex-M0 Prozessors eingesetzt. Als vielversprechende Alternative zu ARM basierten Systemen wird zur Zeit die neue offene RISC-V Architektur diskutiert. Um diese effizient einsetzen zu können, wird eine geeignete Entwicklungsmethodik für die eingebettete Software benötigt.

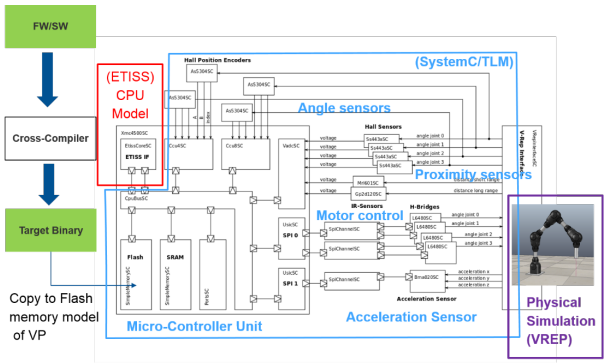
Hier steht in diesem Projekt vor allem die Unterstützung von agilen Methoden im Fokus. Dabei ist eine große Herausforderung, dass für die SW Entwicklung die Target Hardware als Prototyp vorliegen muss. Dies kann dadurch verbessert werden, dass ein sogenannter virtueller Prototyp (VP) Verwendung findet. Dieser VP ist ein Software-Modell der zu entwickelnden Hardware. Neben der Anwendung als frühe Entwicklungsplattform für die Software kann dieser VP auch agile Methoden durch die Unterstützung von

1. Continuous Integration and Test
2. Performanz-Evaluierungen durch Simulation des Software-Zeitverhaltens
3. einer erhöhten Beobachtbarkeit der internen Systemzustände und damit höherer „Debuggability"

unterstützen. Diesen Vorteilen steht aber der zusätzliche Aufwand zur Erstellung des virtuellen Prototyps sowie die fehlende Methodik-Unterstützung zur Entwicklung von RISC-V Software gegenüber.

Zielsetzung

Hauptziel des Forschungsvorhabens ist die Unterstützung von KMUs aus der Elektro-Industrie bei der Einführung von virtuellen Prototypen in den Embedded Software-Entwurf für IoT Knoten. Hierbei liegt der Fokus auf der frühzeitigen Unterstützung der Software-Entwicklung für die vielversprechende neue und offene RISC-V Prozessor-Architektur.

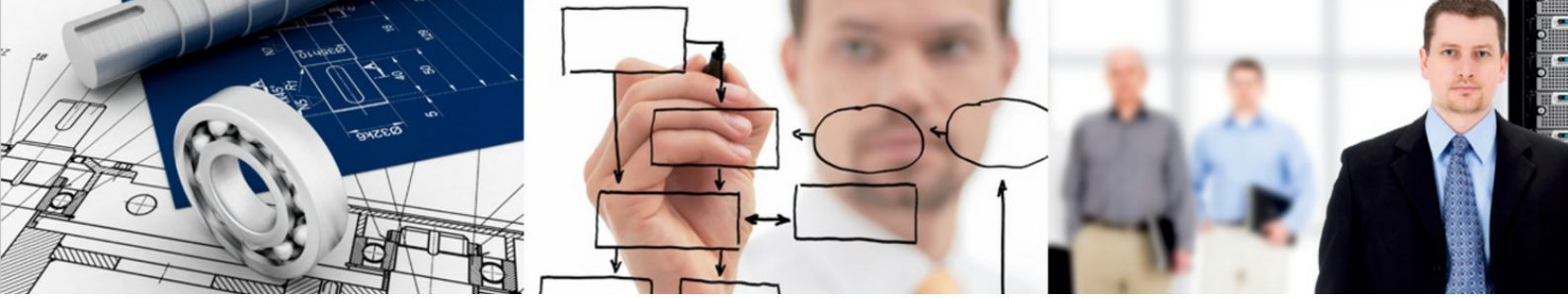


Vorgehensweise

Als Basis und Demonstrator dient ein **Baukasten zur Bereitstellung von virtuellen Prototypen** auf Basis der RISC-V Architektur. Der Kern dieses Baukastens sind RISC-V Prozessormodelle, die Software über extrem schnelle Simulationsverfahren wie Dynamic Binary Translation (DBT) emulieren können. Dadurch kann die Software bereits auf dem virtuellen Prototyp ausgeführt werden. Hierfür wurden von den Forschungspartnern bereits geeignete Tools (ETISS der TUM, RiseDBT von MINRES) entwickelt. Weitere Systemkomponenten sollen mit Hilfe der Hardware-Modellierungssprache SystemC angekoppelt werden. Ein SystemC-basierter VP für ein vollständiges System ist beispielhaft für eine Roboteransteuerung in der Abbildung dargestellt.

Für **SW Unit Tests** können aber auch einfachere VPs Verwendung finden, in denen nur die HW modelliert wird, auf die die SW Unit zugreift. Hierfür soll ein Baukasten mit SystemC-Modellen für Standardkomponenten (Memories, Busse) bereitgestellt werden. Diese können KMUs nutzen, um die Prozessormodelle schnell in Unit Test Umgebungen zu integrieren.

Im Bereich der Methodik sollen zuerst Verfahren für **„Continuous Integration and Test"** auf Unit-Test- und Integrationsebene auf Basis virtueller Prototypen untersucht werden. Hierfür muss die Software auf dem virtuellen Prototyp getestet und deren Funktionalität geprüft werden. Dafür sollen Test-Metriken wie Abdeckung für die Funktionen der eingebetteten Software untersucht werden.



Zudem sollen Verfahren zur **frühzeitigen Evaluation der Performanz der Software** untersucht werden. Dafür sollen Verfahren zur Modellierung des Zeitverhaltens untersucht werden. Eine Hauptherausforderung ist dabei, dass die Simulationsgeschwindigkeit nicht negativ beeinflusst werden darf. Diese Modelle des Zeitverhaltens sollen auch aus modellbasierten Ansätzen, wie sie bei Infineon Verwendung finden, generierbar sein, um Varianten schnell testen zu können.

Auch Verfahren zur **Nutzung der erhöhten Beobachtbarkeit der System-Zustände** („Observability") im virtuellen Prototyp sollen untersucht werden. Hier soll vor allem eine gleichzeitige Betrachtung und Darstellung des SW- und HW-Verhaltens über eine Debug-Schnittstelle untersucht werden. Zudem sollen Methoden zur Back-tracability untersucht werden, die es erlauben, einen gewissen Zugriff über die HW-/SW-Grenze hinweg einem Software Code zuordnen zu können, um schnell das Systemverhalten zurückverfolgen zu können.

Ergebnisse / Nutzen

Den Projektpartnern steht nach Beendigung des Projekts ein offener VP Baukasten für die RISC-V Architektur zur Verfügung. Diese wird zudem über die nötige Unterstützung von agilen Software-Entwicklungsmethoden verfügen, so dass die RISC-V Architektur industriell verwendet werden kann.

Forschungspartner

Prof. Dr.-Ing. Ulf Schlichtmann und
Dr.-Ing. Daniel Müller-Gritschneder
Lehrstuhl für Entwurfsautomatisierung
Technische Universität München

Projektpartner

- Abidat GmbH
- Bosch Sensortec GmbH, München
- BSH Hausgeräte GmbH
- Diehl Stiftung & Co. KG
- Hilti GmbH
- Infineon Technologies AG
- Minres Technologies GmbH
- Rosenberger Hochfrequenztechnik GmbH & Co. KG

Bei Interesse an dieser Projektidee nehmen Sie bitte Kontakt mit Herrn Dr. Liedl auf (Kontaktdaten s. unten!).